

AMPLIFIER-TYPE SOLID-STATE IMAGE-PICKUP UNIT AND OPERATING METHOD THEREFOR

Publication number: JP10257389

Publication date: 1998-09-25

Inventor: MATSUNAGA MASAYUKI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- International: H01L27/146; H04N5/335; H01L27/146; H04N5/335; (IPC1-7): H04N5/335; H01L27/146

- European:

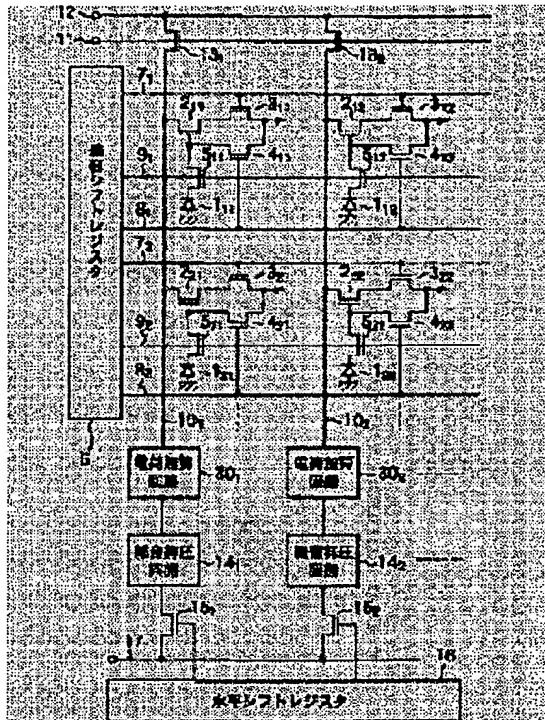
Application number: JP19970056307 19970311

Priority number(s): JP19970056307 19970311

[Report a data error here](#)

Abstract of JP10257389

PROBLEM TO BE SOLVED: To obtain an amplifier-type solid-state image-pickup unit which is not inferior in comparison with a CCD image-pickup element in sensitivity by providing an electric charge adding means for adding a signal electric charge in a vertical line between a vertical signal line and a noise-suppressing means. **SOLUTION:** A horizontal selecting transistor 15 is connected to one end of a vertical signal line 10 with an electric charge adding circuit 30 and a noise-suppressing circuit 14. When a load transistor 13 is turned off, an electric charge is discharged through the gate channel of an amplifier transistor 2 of an addressed row with a vertical selecting transistor 3. Noise electric charge, stored in the capacitance of the vertical signal line 10, is stored in an electric charge adding circuit 30, and a noise output is fetched by the noise-suppressing circuit 14. Then, a signal electric charge is stored in the electric charge adding circuit 30, and the noise output is fetched by the noise-suppressing circuit 14. Then, a signal electric charge is transferred to the gate of the amplifier transistor 2. The signal electric charge is stored in the electric charge adding circuit 30, and the noise output is fetched by the noise-suppressing circuit 14.



引用文献 3

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-257389

(43)公開日 平成10年(1998)9月25日

(51) Int.Cl.
H 04 N 5/335
H 01 L 27/146

識別記号

F I
H 04 N 5/335
H 01 L 27/14

E
A

審査請求 未請求 請求項の数 6 OL (全 12 頁)

(21)出願番号

特願平9-56307

(22)出願日

平成9年(1997)3月11日

(71)出願人

株式会社東芝
神奈川県川崎市幸区麻川町72番地

(72)発明者

松長 誠之
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

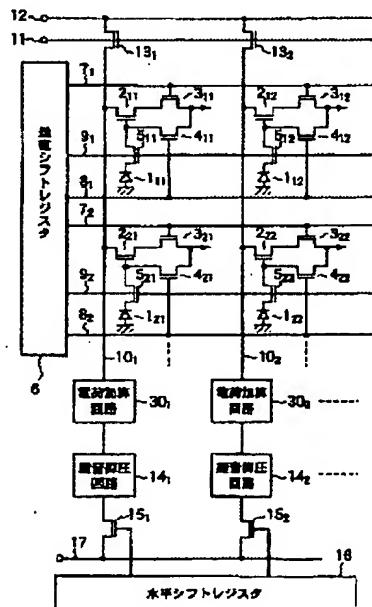
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 増幅型固体撮像装置及びその動作方法

(57)【要約】

【課題】CCD撮像素子と比較しても感度の劣らないよう、雑音抑圧回路の前段に電荷加算回路を設けること。

【解決手段】2次元状に配列された単位セルは、水平アドレス線 7_1 、 7_2 、…と、電荷転送制御線 8_1 、 8_2 、…と、リセット線 9_1 、 9_2 、…を介して垂直シフトレジスタ 6 に接続される。上記単位セルに接続された垂直信号線 10_1 、 10_2 、…の一端には、共通ゲート配線 11 及び共通ソース配線 12 に接続された負荷トランジスタ 13_1 、 13_2 、…が設けられる。上記垂直信号線 10_1 、 10_2 、…の他端には、電荷加算回路 30_1 、 30_2 、…及び雑音抑圧回路 14_1 、 14_2 、…を介して水平選択トランジスタ 15_1 、 15_2 、…が結線される。該水平選択トランジスタ 15_1 、 15_2 、…は、水平シフトレジスタ 16 から供給される選択パルスにより選択されるもので、水平信号線 17 に結線される。



【特許請求の範囲】

【請求項1】 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と增幅手段とから成る感光セルを2次元上に配列した撮像領域と、この領域に行方向に配された複数の垂直選択線と、該垂直選択線を駆動する垂直選択手段と上記增幅手段の出力を読出す列方向に配された複数の垂直信号線と、該複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と、上記垂直信号線の端部に設けられ垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き雑音抑圧手段と、列方向に配された水平選択線と、この水平選択線と上記雑音抑圧手段の出力を中継する水平読出し手段と、この水平読出し手段を駆動する水平選択手段とから成る増幅型の固体撮像装置に於いて、

上記垂直信号線と上記雑音抑圧手段との間に上記垂直信号線上の信号電荷を加算する電荷加算手段を備えることを特徴とする増幅型固体撮像装置。

【請求項2】 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と增幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記增幅手段の出力を列方向に配した複数の垂直信号線で読出し、上記垂直信号線の端部に設けた雑音抑圧手段によって該垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、上記撮像領域の列方向に配した水平選択線と雑音抑圧手段の出力を水平読出し手段で中継し、この水平読出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、

上記信号電荷蓄積手段に蓄積された1回分の信号に対して複数回の増幅動作を行う第1の工程と、この第1の工程により上記垂直信号線に複数回発生した増幅信号及び増幅雑音を複数回加算した信号及び雑音を上記雑音抑圧手段により差引き第2の工程とを具備することを特徴とする増幅型撮像装置の動作方法。

【請求項3】 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と增幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記增幅手段の出力を列方向に配した複数の垂直信号線で読出し、上記複数の垂直信号線の端部に設けた雑音抑圧手段によって該垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、垂直信号線と雑音抑圧手段との間にMOSトランジスタを設け、該MOSトランジスタのゲート電極と積分電荷蓄積容量が接続されたドレインとの間に帰還MOSトランジスタと積分電荷蓄積容量から成る電荷積分手段を設け、上記撮像領域の列方向に配された水平選択線と雑音抑圧手段の出力を水平読出し手段で中継し、この水平読出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、

上記垂直信号線に参照電圧を与える第1の工程と、

上記垂直信号線に参照電圧を与えるときに上記帰還MOSトランジスタを駆動する第2の工程と、上記帰還MOSトランジスタを駆動した後、上記信号電荷蓄積手段に蓄積された1回分の信号に対して複数回の増幅動作を行う第3の工程と、この第3の工程により上記垂直信号線に複数回発生した増幅信号及び増幅雑音を複数回加算するときは、上記帰還トランジスタを駆動して加算した信号及び雑音を上記雑音抑圧手段により差引き動作を行う第4の工程とを具備することを特徴とする増幅型固体撮像装置の動作方法。

【請求項4】 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と增幅手段とから成る感光セルを2次元上に配列した撮像領域と、この撮像領域に行方向に配された複数の垂直選択線と、該垂直選択線を駆動する垂直選択手段と、上記增幅手段の出力を読出す列方向に配された複数の垂直信号線と、上記複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と、上記垂直信号線の端部に設けられ上記垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き雑音抑圧手段と、列方向に配された水平信号線と、該水平選択線と上記雑音抑圧手段の出力を中継する水平読出し手段と、この水平読出し手段を駆動する水平選択手段とから成る増幅型の固体撮像装置に於いて、

上記垂直信号線と上記雑音抑圧手段との間に上記垂直信号線上の信号電圧を増幅する電圧増幅手段を備えることを特徴とする増幅型固体撮像装置。

【請求項5】 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と增幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記增幅手段の出力を列方向に配した複数の垂直信号線で読出し、該複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と垂直信号線の端部に設けた雑音抑圧手段によって垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、垂直信号線と雑音抑圧手段との間にMOSトランジスタを設け、このMOSトランジスタのゲート電極と電圧増幅蓄積容量が接続されたドレインとの間に帰還MOSトランジスタと電圧増幅蓄積容量から成る電荷積分手段を接続し、上記撮像領域の列方向に配した水平選択線と雑音抑圧手段の出力を水平読出し手段で中継し、この水平読出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、

上記垂直信号線に参照電圧を与える第1の工程と、

上記垂直信号線に参照電圧を与えるときに上記帰還MOSトランジスタを駆動する第2の工程と、

上記期間MOSトランジスタを駆動した後に上記増幅信号及び増幅雑音を上記MOSトランジスタを介して上記電圧増幅蓄積容量に転送するときは、上記帰還MOSトランジスタを駆動せず、電圧増幅された信号及び雑音を

(3)

特開平10-257389

上記雑音抑圧手段により差引く動作を行う第3の工程とを具備することを特徴とする増幅型固体撮像装置の動作方法。

【請求項6】半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と増幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記増幅手段の出力を列方向に配した複数の垂直信号線で読出し、該複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と垂直信号線の端部に設けた雑音抑圧手段によって垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、垂直信号線と雑音抑圧手段との間に垂直信号線電荷転送手段と外部より可変の電気容量値が制御できる可変電圧増幅蓄積容量とから成る電荷積分手段を設け、上記撮像領域の列方向に配した水平選択線と雑音抑圧手段の出力を水平読出し手段で中継し、この水平読出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、

外部より容量可変信号を与える第1の工程と、上記電圧増幅蓄積容量の電気容量値を変化させて感度を制御する第2の工程とを具備することを特徴とする増幅型固体撮像装置の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は入射光を電気信号に変換する撮像装置に関し、より詳細には増幅型の固体撮像装置及びその動作方法に関するものである。

【0002】

【従来の技術】図10は、一般的な増幅型MOSセンサと称される固体撮像装置の回路図の一例である。図10に於いて、光電変換を行うフォトダイオード 1_{11} 、 1_{12} 、…、 1_{21} 、 1_{22} 、…と、該フォトダイオード 1_{11} 、 1_{12} 、…、 1_{21} 、 1_{22} 、…の信号を増幅する増幅トランジスタ 2_{11} 、 2_{12} 、…、 2_{21} 、 2_{22} 、…と、信号を読出すラインを選択する垂直選択トランジスタ 3_{11} 、 3_{12} 、…、 3_{21} 、 3_{22} 、…と、信号電荷をリセットするリセットトランジスタ 4_{11} 、 4_{12} 、…、 4_{21} 、 4_{22} 、…と、上記フォトダイオード 1_{11} 、 1_{12} 、…、 1_{21} 、 1_{22} 、…の電荷を増幅トランジスタ 2_{11} 、 2_{12} 、…、 2_{21} 、 2_{22} 、…のゲート領域に転送する信号電荷転送トランジスタ 5_{11} 、 5_{12} 、…、 5_{21} 、 5_{22} 、…により構成される単位セルが、2次元状に配列されている。図10には、単位セルが 2×2 個配列された例が示されているが、実際にはこれより多くの単位セルが配列される。

【0003】垂直シフトレジスタ6からは、水平方向に水平アドレス線 7_1 、 7_2 、…と、電荷転送制御線 8_1 、 8_2 、…と、リセット線 9_1 、 9_2 、…が配線されており、それぞれ上述した各単位セルに接続されている。すなわち、水平アドレス線 7_1 、 7_2 、…は垂直選択トランジスタ 3_{11} 、 3_{12} 、…、 3_{21} 、 3_{22} 、…のゲー

トに結線され、信号を読出す行を決定する。電荷転送制御線 8_1 、 8_2 、…は信号電荷転送トランジスタ 5_{11} 、 5_{12} 、…、 5_{21} 、 5_{22} 、…のゲートに接続されている。また、リセット線 9_1 、 9_2 、…は、リセットトランジスタ 4_{11} 、 4_{12} 、…、 4_{21} 、 4_{22} 、…のゲートに結線されている。

【0004】上記増幅トランジスタ 2_{11} 、 2_{12} 、…、 2_{21} 、 2_{22} 、…のソースは垂直信号線 10_1 、 10_2 、…に結線されている。これら垂直信号線 10_1 、 10_2 、…の一端には、共通ゲート配線 1_1 及び共通ソース配線 1_2 に接続された負荷トランジスタ 1_{31} 、 1_{32} 、…が設けられている。そして、上記垂直信号線 10_1 、 10_2 、…の他端には、雑音抑圧回路 14_1 、 14_2 、…を介して水平選択トランジスタ 15_1 、 15_2 、…が結線されている。上記水平選択トランジスタ 15_1 、 15_2 、…は、水平シフトレジスタ6から供給される選択パルスにより選択されるもので、水平信号線 17 に結線されている。

【0005】上記雑音抑圧回路 14_1 、 14_2 、…は、垂直信号線 10_1 、 10_2 、…に信号があるときとないときの差をとるための回路である。図11は、その雑音抑制回路の構成の一例を示した回路図である。

【0006】同図に於いて、垂直信号線 10 はスライストランジスタ 19 のゲートに接続されている。このスライストランジスタ 19 のソースには、スライスコンデンサ 20 及びスライスコンデンサリセットトランジスタ 21 が、そしてドレインにはスライス電荷蓄積コンデンサ 21 、スライス電荷蓄積コンデンサリセットトランジスタ 22 が、図示のように接続されている。尚、図中 2_4 、 2_5 、 2_6 、 2_7 、 2_8 は、それぞれスライスコンデンサリセットトランジスタ共通ソース配線、スライスコンデンサリセットトランジスタ共通ゲート、スライスコンデンサ制御線、DCライン、スライス電荷蓄積コンデンサリセットトランジスタ共通ゲートである。

【0007】図12は、この従来のデバイスの動作を説明するタイミングチャートである。BLパルスは、フォトダイオード1の信号を、雑音抑圧回路 14 を雑音を抑圧する期間Iと水平信号線 17 にその信号を読出す期間IIを示している。

【0008】先ず、上記期間Iについて説明する。水平アドレス線 7_1 がハイレベルにされるアドレスパルス S_{1_1} が印加されると、このラインの選択トランジスタのみオンされ、この行の増幅トランジスタ 2_{11} 、 2_{12} と負荷トランジスタ 1_{31} 、 1_{32} でソースホロア回路が構成され、増幅トランジスタ 2_{11} 、 2_{12} のゲート電圧とほぼ同等の電圧が、垂直信号線 10_1 、 10_2 に現れる。

【0009】そして、リセット線 8_1 にリセットパルス S_{2_1} が発生され、リセットトランジスタ 4_1 がオンされることにより増幅トランジスタ 2_{11} のゲートに、信号のない時の電圧が発生される。このとき、垂直信号線 1

(4)

特開平10-257389

O_1 、 10_2 には信号のない時の雑音電圧のみが発生している。すなわち、スライストラジスタ19のゲートには、雑音のみが印加されている。

【0010】スライスコンデンサリセットトランジスタ共通ゲート25にスライスコンデンサリセットパレスS3₁が印加され、スライスコンデンサ20がアリセットされる。

【0011】次に、スライスコンデンサ20に接続されているスライスコンデンサ制御線26に第1のスライスパレスS4₁が印加され、スライスコンデンサ20に蓄積された電荷の一部がスライストラジスタ19のゲートチャネルを通してドレインに転送される。スライスコンデンサ20には、スライストラジスタ19のゲートに印加されている雑音電圧に対応する電荷が残留する。

【0012】上記スライストラジスタ19のドレインから転送されスライス電荷蓄積コンデンサ22に入る電荷も雑音電荷に関係する量を有しているが、これはスライス電荷蓄積コンデンサリセットトランジスタ共通ゲート28に第1のスライス電荷蓄積コンデンサリセットパレスS5₁が印加され、スライス電荷蓄積容量がリセット状態にされる。

【0013】更に、雑音の印加状態を精度よく保つために、第2のスライスパレスS6₁、第2のスライス電荷蓄積コンデンサリセットパレスS7₁が印加される。統いて、電荷転送制御線9₁に信号電荷転送パレスS8₁が印加され、信号電荷転送トランジスタ5₁₁がオンされ、増幅トランジスタ2₁₁のゲート領域に信号電荷が転送される。垂直信号線10₁、10₂に信号電圧が現れ、スライストラジスタ19のゲートに信号電圧が印加される。

【0014】次に、第3のスライスパレスS9₁が印加され、スライスコンデンサ20に蓄積されている電荷の一部がスライストラジスタ19のゲートチャネルを通りスライス電荷蓄積コンデンサ22に転送される。スライスコンデンサ20には、雑音に対応する電荷量が蓄積されており、スライストラジスタ19のゲートには雑音が重複された信号電圧が印加されているので、スライス電荷蓄積コンデンサ22には、雑音成分が差引かれた信号に対応する電荷のみが転送される。雑音がない信号電荷のみが、スライス電荷蓄積コンデンサ22に蓄積された状態になる。

【0015】次に、期間IIでは、水平シフトレジスタ16から順次発生される水平選択パレスS10₁、S10₂が水平選択トランジスタ15₁、15₂のゲートに印加され、スライス電荷蓄積コンデンサ22の信号電荷が水平信号線17に読出される。読出し信号S11₁₁、S11₁₂は、フォトダイオード1₁₁、1₁₂の信号にそれ対応している。以降の行の信号についても、同様に読出ることができる。

【0016】

【発明が解決しようとする課題】ところで、MOS型撮像素子は、上述したように、単位画素に増幅トランジスタを有した型のものでもCCDを有した撮像素子に比べて感度が低いという問題があった。その理由は、増幅型MOS撮像素子の単位画素に存在する増幅トランジスタの性能と、CCD撮像素子の最終段に存在する出力アンプのトランジスタの性能とが、製造プロセスが同じであるならば、ほぼ同じになるためである。

【0017】CCD撮像素子はほとんど雑音を持たない素子であり、雑音は出力アンプからのみ発生するものと考えてよい。一方、増幅型MOS撮像素子は、単位画素で増幅した後も、出力端子に出力されるまでにいくつかのトランジスタを介するために、ここで新たな雑音が重複されてしまうものであった。したがってこの発明は、CCD撮像素子と比較しても感度の劣ることのない増幅型固体撮像装置及びその動作方法を提供することを目的とする。

【0018】

【課題を解決するための手段】すなわちこの発明は、増幅型MOS撮像素子の単位画素で増幅を複数回行い、増幅された電荷を複数回積分し、雑音抑圧回路に入力することにより、雑音抑圧回路以降で重複される雑音の影響が軽減できる。または、単位画素で増幅された電荷が電荷領域では増幅されないで小さい容量に移し替えられ、電圧領域でのみ増幅されて雑音抑圧回路に入力される。但し、これは、雑音抑圧回路がゲート入力型である必要がある。

【0019】このように構成することにより、増幅型MOS撮像素子の雑音がほとんど単位画素の増幅トランジスタの雑音で決定されるようになる。したがって、CCD撮像素子とほぼ同等感度、若しくは雑音増幅回路の直前での増幅率の分だけCCDより高感度になる。

【0020】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1は、この発明の一実施形態に従った増幅型固体撮像装置の構成を示す回路図である。尚、以下に述べる実施の形態に於いて、上述した従来例と同一の部分には同一の参照番号を付して詳細な説明は省略する。

【0021】図1に於いて、光電変換を行うフォトダイオード1₁₁、1₁₂、…、1₂₁、1₂₂、…と、増幅トランジスタ2₁₁、2₁₂、…、2₂₁、2₂₂、…と、垂直選択トランジスタ3₁₁、3₁₂、…、3₂₁、3₂₂、…と、リセットトランジスタ4₁₁、4₁₂、…、4₂₁、4₂₂、…と、信号電荷転送トランジスタ5₁₁、5₁₂、…、5₂₁、5₂₂、…により構成される単位セルが、2次元状に配列されている。図1には、単位セルが2×2個配列された例が示されているが、実際にはこれより多くの単位セルが配列される。

【0022】垂直シフトレジスタ6からは、水平方向に

水平アドレス線 7_1 、 7_2 、…と、電荷転送制御線 8_1 、 8_2 、…と、リセット線 9_1 、 9_2 、…が配線されており、それぞれ上述した各単位セルに接続されている。

【0023】そして、垂直信号線 10_1 、 10_2 、…の一端には、共通ゲート配線 1_1 及び共通ソース配線 1_2 に接続された負荷トランジスタ 13_1 、 13_2 、…が設けられている。一方、上記垂直信号線 10_1 、 10_2 、…の他端には、電荷加算回路 30_1 、 30_2 、…及び雑音抑圧回路 14_1 、 14_2 、…を介して水平選択トランジスタ 15_1 、 15_2 、…が結線されている。上記水平選択トランジスタ 15_1 、 15_2 、…は、水平シフトレジ斯特 16 から供給される選択パルスにより選択されるもので、水平信号線 17 に結線されている。

【0024】図2は、上記電荷加算回路 30_1 、 30_2 、…の構成の一例を示した回路図である。図2に於いて、電荷加算回路 30 は、垂直信号線 10 にソース、ドレインが接続された増幅電荷転送トランジスタ 31 と、この増幅電荷転送トランジスタ 31 のドレインに接続された電荷加算コンデンサ 32 及び電荷加算コンデンサリセットトランジスタ 33 とから構成されている。尚、 34 は増幅電荷転送トランジスタ共通ゲート、 35 はDCライン、 36 は電荷加算コンデンサリセットトランジスタ共通ゲートである。

【0025】このような構成の固体撮像装置に於いて、図3のタイミングチャートを参照して、その動作の一例を説明する。尚、上述した従来例と同じ信号には同一の参照番号を付してその説明は省略する。

【0026】先ず、負荷トランジスタ 13 がパルス駆動されるために、負荷トランジスタ共通ゲート 1_1 にパルス電圧が入力される。負荷トランジスタ 13 がオンされて負荷トランジスタ共通ソース 1_2 とほぼ同じ電圧になるよう、垂直信号線 10_1 、 10_2 、…がリセットされる。しかる後、負荷トランジスタ 13 がオフされると、アドレスされている行の増幅トランジスタ 2 と垂直選択トランジスタ 3 のゲートチャネルを通って電荷が排出され、垂直信号線 10_1 、 10_2 、…の電位がほぼ増幅トランジスタ 2 のゲートチャネルの電位と同じになる。

【0027】垂直信号線 10 の容量に蓄積された電荷は、増幅電荷転送トランジスタ 31 がオンされることにより、電荷加算コンデンサ 32 に転送することができる。図3は、こうした転送動作が3回行われた例を示したものである。

【0028】先ず、電荷加算コンデンサ 32 がリセットされるために、電荷加算コンデンサリセットトランジスタ共通ゲート 36 に第1の電荷加算コンデンサリセットパルス $S1_{211}$ が印加される。増幅トランジスタ 2 に雑音のみが印加されているとき、負荷トランジスタ共通ゲート 1_1 に第1の雑音時垂直信号線リセットパルス $S1_{211}$ 、増幅電荷転送トランジスタ共通ゲート 34 に第1

の雑音時増幅電荷転送パルス $S1_{411}$ が、それぞれ印加され、電荷加算コンデンサ 32 に増幅された雑音電荷が転送される。

【0029】続いて、第2、第3の雑音時信号線リセットパルス $S1_{212}$ 、 $S1_{213}$ 、第2、第3の雑音時増幅電荷転送パルス $S1_{412}$ 、 $S1_{413}$ が印加され、合計3回分の雑音電荷が電荷加算コンデンサ 32 に蓄積される。このときの電荷加算回路 30 の加算された雑音出力が、雑音抑圧回路 14 に取込まれる。雑音抑圧回路 14 の動作は図12に示されたタイミングチャートと同じである。

【0030】次に、信号電荷転送トランジスタ 5 がオンされて、フォトダイオード 1 の信号が増幅トランジスタ 2 のゲートに転送される。次いで、電荷加算コンデンサリセットトランジスタ共通ゲート 36 に第2の電荷加算コンデンサリセットパルス $S1_{71}$ が印加される。

【0031】その後、負荷トランジスタ共通ゲート 1_1 に第1、第2、第3の信号時垂直信号線リセットパルス $S1_{311}$ 、 $S1_{312}$ 、 $S1_{313}$ が、増幅電荷転送トランジスタ共通ゲート 2_9 に第1、第2、第3の信号時増幅電荷転送パルス $S1_{511}$ 、 $S1_{512}$ 、 $S1_{513}$ が印加され、合計3回分の信号電荷が電荷加算コンデンサ 32 に蓄積される。このときの電荷加算回路 30 の加算された雑音出力が、雑音抑圧回路 14 に取込まれる。

【0032】雑音抑圧回路 14 の動作は、図12に示されたタイミングチャートと同じである。また、この後の動作は、図12に示されたタイミングチャートとほぼ同じである。

【0033】加算回数を3回以外にする方法も、容易に考えることができる。例えば、加算回数が大きくなると電荷加算コンデンサ 32 が飽和するので、その容量値を垂直信号線 10 の容量値よりも大きく設定する。電荷加算コンデンサ 32 に加算された電荷が電圧として雑音抑圧回路 14 に入力されるためには、雑音抑圧回路 14 はゲート入力である必要がある。これは、例えば、特開昭64-2354号公報に開示されているようなクランプ容量を充電する大きな電荷量が必要なものは適さない。

【0034】図4は、ゲート入力型の雑音抑圧回路 14 Aの構成の一例を示した回路図である。図4に於いて、ゲート入力型の雑音抑圧回路 14 Aは、雑音抑圧増幅トランジスタ 39 と雑音抑圧負荷トランジスタ 40 から成るゲート入力回路が、クランプコンデンサ 41 、クランプトランジスタ 42 、サンブルポールドトランジスタ 43 、サンブルポールドコンデンサ 44 から成る相間二重サンプリング型の雑音抑圧回路の前段に設けられている。

【0035】図4の構成の雑音抑圧回路 14 Aに於いては、増幅電荷転送トランジスタ 31 の閾値電圧のばらつきにより、垂直信号線 10 から電荷加算コンデンサ 32 に転送される電荷が各列でばらつくおそれがある。こうしたばらつきを抑えるために、電荷加算回路 30 は、以

下に述べるように変形して構成することができる。

【0036】例えば、図5に示されるように、電荷加算回路30Aは、増幅電荷転送トランジスタ31のゲートと増幅電荷転送トランジスタ共通ゲート34間に増幅電荷転送トランジスタゲート駆動コンデンサ46が、そして増幅電荷転送トランジスタ31のゲートとドレインの間にフィードバックトランジスタ47が接続された構成である。尚、48はフィードバックトランジスタ共通ゲートである。これにより、各列での電荷のばらつきを抑えることができる。

【0037】更に、図6は閾値ばらつきの補正と電荷の加算を別々に行う回路の例を示したものである。図6に示されるように、電荷加算回路30Bは、増幅電荷転送トランジスタ31と、電荷加算コンデンサ32、電荷加算コンデンサリセットトランジスタ33及びフィードバックトランジスタ47を有している。そして、増幅電荷転送トランジスタ31のドレインに、第2の増幅電荷転送トランジスタ31'及び第2の電荷加算コンデンサ32'が接続された構成となっている。尚、34'は増幅電荷転送トランジスタ共通ゲートである。

【0038】図7は、電荷加算回路の更に他の構成例を示した回路図である。図7に示されるように、電荷加算回路30Cは、上述した図5の電荷加算回路30Aと30Bとを組み合わせた構成となっている。すなわち、電荷加算回路30Aの増幅電荷転送トランジスタ31のドレインに、第2の増幅電荷転送トランジスタ31'及び第2の電荷加算コンデンサ32'が接続された構成となっている。

【0039】一般に、撮像素子をカメラに用いた場合、感度を可変にするために、出力された信号を増幅する外部増幅回路は増幅率が可変になっている。上述した電荷加算回路では、その加算回数を変化させることにより、撮像素子の出力で外部増幅回路を使わずに増幅率を変化させることができる。輝度の低い部分、高い部分の何れも写すために、輝度の低いところでは増幅率が自動的にあがるような自動感度調整機能も、電荷加算回路の加算回数が自動的に切わるようにシステムを構成することにより可能になる。

【0040】また、上述した電荷加算回路では、信号電荷を加算することによって電圧を増幅するようにしていったが、加算を行わずに1回の転送動作で電圧を増幅することも可能である。この場合、上述した電荷加算コンデンサ32の容量値を垂直信号線10のそれより小さく設定する必要がある。

【0041】図8は、こうした信号電荷を1回の転送動作で電圧を増幅する電荷加算回路の構成を示した回路図である。図8に於いて、電荷加算回路30Dは、増幅電荷転送トランジスタ31と電荷加算コンデンサリセットトランジスタ33の接続点に、第1乃至第3の電荷加算コンデンサ32a～32cを選択するための電荷加算コ

ンデンサ選択トランジスタ49a～49cのソースが、並列に接続されている。そして、電荷加算コンデンサ選択トランジスタ49a～49cのドレインには増幅電荷を蓄積するための電荷加算コンデンサ32a～32cが、ゲートには該トランジスタ49a～49c選択用の個数選択ライン50a～50cが接続されている。

【0042】このように、電荷加算回路30Dには、増幅電荷蓄積用の電荷加算コンデンサが複数個、図8に於いては3個設けられている。そして、増幅率を可変にするために、電荷加算コンデンサ選択トランジスタ49a～49cのスイッチの選択により、電荷加算コンデンサに電荷が蓄積される容量の数が選択される。すなわち、選択された電荷加算コンデンサの個数に応じて、電圧の増幅率が変わるものになっている。

【0043】また、信号電荷を1回の転送動作で電圧を増幅する方法として、ダイオード等のバイアスにより容量値を変える可変容量を用いた構成も考えられる。図9は、こうした電荷加算回路の構成例を示した回路図であり、電荷加算回路30Eは、増幅電荷転送トランジスタ31と電荷加算コンデンサリセットトランジスタ33との接続点に、図示の如く電荷加算コンデンサとダイオード51から成る並列回路が接続されている。尚、52はダイオードバイアスラインである。

【0044】図9の電荷加算路30Eでは、ダイオードバイアスライン52の制御によって電圧を変化させることで、ダイオード51の容量を変化させて増幅率を変化させている。

【0045】このように、信号電荷の加算を行わずに1回の転送動作で電圧を増幅することもできる。また、上述した実施の形態の他に、以下の発明を含んでいる。

【0046】(1) 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と増幅手段とから成る感光セルを2次元上に配列した撮像領域と、この領域に行方向に配された複数の垂直選択線と、該垂直選択線を駆動する垂直選択手段と上記増幅手段の出力を読出す列方向に配された複数の垂直信号線と、該複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と、上記垂直信号線の端部に設けられ垂直信号線に時間差をもって現れる雑音と信号を取り込み差引く雑音抑圧手段と、列方向に配された水平選択線と、この水平選択線と上記雑音抑圧手段の出力を中継する水平読出し手段と、この水平読出し手段を駆動する水平選択手段とから成る増幅型の固体撮像装置に於いて、上記垂直信号線と上記雑音抑圧手段との間に上記垂直信号線上の信号電荷を加算する電荷加算手段を備えることを特徴とする増幅型固体撮像装置。

【0047】(2) 上記電荷加算手段は、上記垂直信号線に電荷を転送する垂直信号線電荷転送手段と、この垂直信号線電荷転送手段で転送された電荷を蓄積する加算電荷蓄積容量から成ることを特徴とする上記(1)に

記載の増幅型固体撮像装置。

【0048】(3) 上記加算電荷蓄積容量に蓄積された電荷を排出する加算電荷排出手段を更に具備することを特徴とする上記(2)に記載の増幅型固体撮像装置。
(4) 上記垂直信号線電荷転送手段はMOSトランジスタと、該MOSトランジスタのゲート電極と上記加算電荷蓄積容量が接続されたドレンとの間に接続された帰還MOSトランジスタにより構成されていることを特徴とする上記(3)に記載の増幅型固体撮像装置。

【0049】(5) 上記加算電荷蓄積容量の電気容量値は上記垂直信号線の電気容量値より大きいことを特徴とする上記(1)乃至(4)に記載の増幅型固体撮像装置。

(6) 上記雑音抑圧手段は、少なくとも1つのMOSトランジスタを含んで構成され、上記電荷加算手段の出力が上記MOSトランジスタのゲートに入力されていることを特徴とする上記(1)乃至(5)に記載の増幅型固体撮像装置。

【0050】(7) 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と増幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記増幅手段の出力を列方向に配した複数の垂直信号線で読出し、上記垂直信号線の端部に設けた雑音抑圧手段によって該垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、上記撮像領域の列方向に配した水平選択線と雑音抑圧手段の出力を水平読出し手段で中継し、この水平読出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、上記信号電荷蓄積手段に蓄積された1回分の信号に対して複数回の増幅動作を行う第1の工程と、この第1の工程により上記垂直信号線に複数回発生した増幅信号及び増幅雑音を複数回加算した信号及び雑音を上記雑音抑圧手段により差引く第2の工程とを具備することを特徴とする増幅型撮像装置の動作方法。

【0051】(8) 上記第2の工程は加算回数を変えることにより感度を変化させることを特徴とする上記(7)に記載の増幅型固体撮像装置の動作方法。

(9) 上記第2の工程は、入射光量に応じて上記加算回数を可変にすることにより、感度調整を行うことを特徴とする上記(8)に記載の増幅型固体撮像装置の動作方法。

【0052】(10) 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と増幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記増幅手段の出力を列方向に配した複数の垂直信号線で読出し、上記複数の垂直信号線の端部に設けた雑音抑圧手段によって該垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、垂直信号線と雑音抑

圧手段との間にMOSトランジスタを設け、該MOSトランジスタのゲート電極と積分電荷蓄積容量が接続されたドレンとの間に帰還MOSトランジスタと積分電荷蓄積容量から成る電荷積分手段を設け、上記撮像領域の列方向に配された水平選択線と雑音抑圧手段の出力を水平読出し手段で中継し、この水平読出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、上記垂直信号線に参照電圧を与える第1の工程と、上記垂直信号線に参照電圧を与えるときに上記帰還MOSトランジスタを駆動する第2の工程と、上記帰還MOSトランジスタを駆動した後、上記信号電荷蓄積手段に蓄積された1回分の信号に対して複数回の増幅動作を行う第3の工程と、この第3の工程により上記垂直信号線に複数回発生した増幅信号及び増幅雑音を複数回加算するときは、上記帰還トランジスタを駆動して加算した信号及び雑音を上記雑音抑圧手段により差引く動作を行う第4の工程とを具備することを特徴とする増幅型固体撮像装置の動作方法。

【0053】(11) 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と増幅手段とから成る感光セルを2次元上に配列した撮像領域と、この撮像領域に行方向に配された複数の垂直選択線と、該垂直選択線を駆動する垂直選択手段と、上記増幅手段の出力を読出す列方向に配された複数の垂直信号線と、上記複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と、上記垂直信号線の端部に設けられ上記垂直信号線に時間差をもって現れる雑音と信号を取り込み差引く雑音抑圧手段と、列方向に配された水平信号線と、該水平選択線と上記雑音抑圧手段の出力を中継する水平読出し手段と、この水平読出し手段を駆動する水平選択手段とから成る増幅型の固体撮像装置に於いて、上記垂直信号線と上記雑音抑圧手段との間に上記垂直信号線上の信号電圧を増幅する電圧増幅手段を備えることを特徴とする増幅型固体撮像装置。

【0054】(12) 上記電圧増幅手段は上記垂直信号線に電荷を転送する垂直信号線電荷転送手段と、この垂直信号線電荷転送手段で転送された電荷を蓄積する電圧増幅電荷蓄積容量から成ることを特徴とする上記(11)に記載の増幅型固体撮像装置。

【0055】(13) 上記電圧増幅電荷蓄積容量の電気容量値は、上記垂直信号線の電気容量値より小さいことを特徴とする上記(12)に記載の増幅型固体撮像装置。

(14) 上記電圧増幅電荷蓄積容量に蓄積された電荷を排出する電圧増幅電荷排出手段を更に具備することを特徴とする上記(11)に記載の増幅型固体撮像装置。

【0056】(15) 上記垂直信号線電荷転送手段は、MOSトランジスタと、該MOSトランジスタのゲート電極と上記電圧増幅電荷蓄積容量が接続されたドレンとの間に接続された帰還MOSトランジスタとによ

り構成されることを特徴とする上記(11)に記載の増幅型固体撮像装置。

【0057】(16) 上記雑音抑圧手段は、少なくとも1つのMOSトランジスタを含んで構成され、上記電圧増幅手段の出力は上記MOSトランジスタのゲートに入力されていることを特徴とする上記(11)乃至(15)に記載の増幅型固体撮像装置。

【0058】(17) 上記電圧増幅電荷蓄積容量は、外部より入力された外部信号により電気容量値が可変となることを特徴とする上記(12)に記載の増幅型固体撮像装置。

【0059】(18) 上記電圧増幅電荷蓄積容量は、容量可変トランジスタと複数の分割容量により構成されていることを特徴とする上記(17)に記載の増幅型固体撮像装置。

【0060】(19) 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と増幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記増幅手段の出力は列方向に配した複数の垂直信号線で読み出し、該複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と垂直信号線の端部に設けた雑音抑圧手段によって垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、垂直信号線と雑音抑圧手段との間にMOSトランジスタを設け、このMOSトランジスタのゲート電極と電圧増幅電荷蓄積容量が接続されたドレンとの間に帰還MOSトランジスタと電圧増幅電荷蓄積容量から成る電荷積分手段を接続し、上記撮像領域の列方向に配した水平選択線と雑音抑圧手段の出力を水平読み出し手段で中継し、この水平読み出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、上記垂直信号線に参照電圧を与える第1の工程と、上記垂直信号線に参照電圧を与えるときに上記帰還MOSトランジスタを駆動する第2の工程と、上記期間MOSトランジスタを駆動した後に上記増幅信号及び増幅雑音を上記MOSトランジスタを介して上記電圧増幅電荷蓄積容量に転送するときは、上記帰還MOSトランジスタを駆動せず、電圧増幅された信号及び雑音を上記雑音抑圧手段により差引く動作を行う第3の工程とを具備することを特徴とする増幅型固体撮像装置の動作方法。

【0061】(20) 半導体基板上に光電変換手段と信号電荷蓄積手段と信号電荷排出手段と行選択手段と増幅手段とから成る感光セルを2次元上に配列した撮像領域の行方向に配した複数の垂直選択線を垂直選択手段で駆動し、上記増幅手段の出力は列方向に配した複数の垂直信号線で読み出し、該複数の垂直信号線に設けられた複数の垂直信号線駆動補助手段と垂直信号線の端部に設けた雑音抑圧手段によって垂直信号線に時間差をもって現れる雑音と信号を取り込み差引き、垂直信号線と雑音抑圧手段との間に垂直信号線電荷転送手段と外部より可変の

電気容量値が制御できる可変電圧増幅蓄積容量とから成る電荷積分手段を設け、上記撮像領域の列方向に配した水平選択線と雑音抑圧手段の出力を水平読み出し手段で中継し、この水平読み出し手段を水平選択手段で駆動する増幅型固体撮像装置の動作方法に於いて、外部より容量可変信号を与える工程と、上記電圧増幅蓄積容量の電気容量値を変化させて感度を制御する工程とを具備することを特徴とする増幅型固体撮像装置の動作方法。

【0062】(21) 入射光量に応じて上記電気容量値を可変にすることにより、感度調整を行うことを特徴とする上記(20)に記載の増幅型固体撮像装置の動作方法。

【0063】

【発明の効果】以上のようにこの発明によれば、CCD撮像素子と比較しても感度の劣ることのない増幅型固体撮像装置及びその動作方法を提供することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態に従った固体撮像装置の構成を示す回路図である。

【図2】図1の電荷加算回路の構成の一例を示した回路図である。

【図3】図1の固体撮像装置の動作を説明するタイミングチャートである。

【図4】ゲート入力型の雑音抑圧回路の構成の一例を示した回路図である。

【図5】図1の電荷加算回路の他の構成例を示した回路図である。

【図6】閾値ばらつきの補正と電荷の加算を別々に行う電荷加算回路の例を示した図である。

【図7】図1の電荷加算回路の更に他の構成例を示した回路図である。

【図8】信号電荷を1回の転送動作で電圧を増幅する電荷加算回路の構成を示した回路図である。

【図9】信号電荷を1回の転送動作で電圧を増幅する電荷加算回路の他の構成を示した回路図である。

【図10】一般的な増幅型MOSセンサと称される固体撮像装置の回路図の一例である。

【図11】図10の雑音抑圧回路の構成の一例を示した回路図である。

【図12】図11の固体撮像装置の動作を説明するタイミングチャートである。

【符号の説明】

$1_{11}, 1_{12}, \dots, 1_{21}, 1_{22}, \dots$ フォトダイオード、

$2_{11}, 2_{12}, \dots, 2_{21}, 2_{22}, \dots$ 増幅トランジスタ、

$3_{11}, 3_{12}, \dots, 3_{21}, 3_{22}, \dots$ 垂直選択トランジスタ、

$4_{11}, 4_{12}, \dots, 4_{21}, 4_{22}, \dots$ リセットトランジスタ、

$5_{11}, 5_{12}, \dots, 5_{21}, 5_{22}, \dots$ 信号電荷転送トランジスタ、

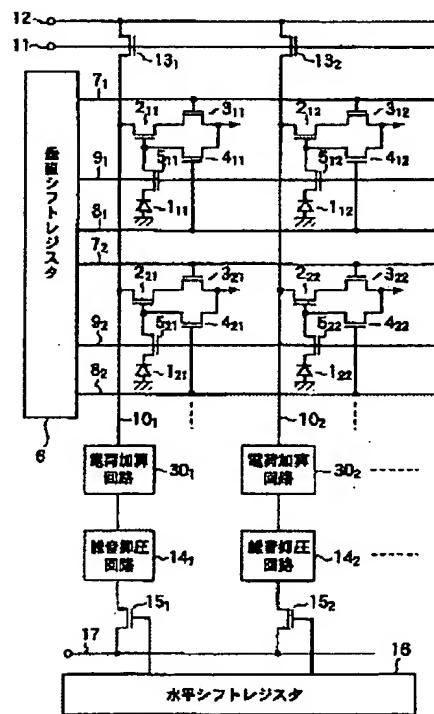
(9)

特開平10-257389

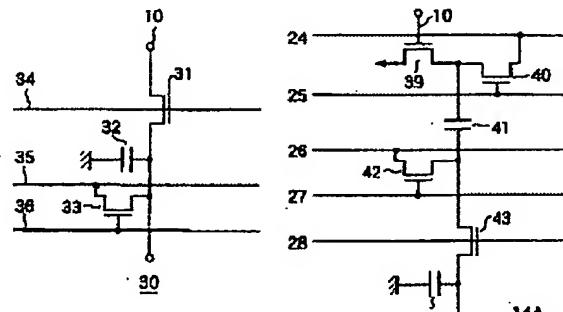
6 垂直シフトレジスタ、
 7 7₁、7₂、… 水平アドレス線、
 8₁、8₂、… 電荷転送制御線、
 9₁、9₂、… リセット線、
 10、10₁、10₂、… 垂直信号線、
 11 共通ゲート配線、
 12 共通ソース配線、
 13₁、13₂、… 負荷トランジスタ、
 14、14A、14₁、14₂、… 雑音抑圧回路、
 15₁、15₂、… 水平選択トランジスタ、
 16 水平シフトレジスタ、
 17 水平信号線、
 30、30A、30B、30C、30D、30E、30₁、30₂、… 電荷加算回路、
 31 増幅電荷転送トランジスタ、
 32 電荷加算コンデンサ、

33 電荷加算トランジスタリセットトランジスタ、
 34 増幅電荷転送トランジスタ共通ゲート、
 35 DC ライン、
 36 電荷加算コンデンサリセットトランジスタ共通ゲート、
 39 雜音抑圧増幅トランジスタ、
 40 雜音抑圧負荷トランジスタ、
 41 クランプコンデンサ、
 42 クランプトランジスタ、
 43 サンプルホールドトランジスタ、
 44 サンプルホールドコンデンサ、
 46 増幅電荷転送トランジスタゲート駆動コンデンサ、
 47 フィードバックトランジスタ、
 48 フィードバックトランジスタ共通ゲート。

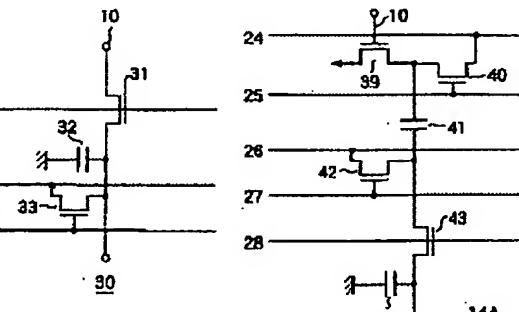
【図1】



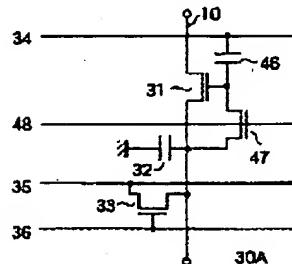
【図2】



【図4】



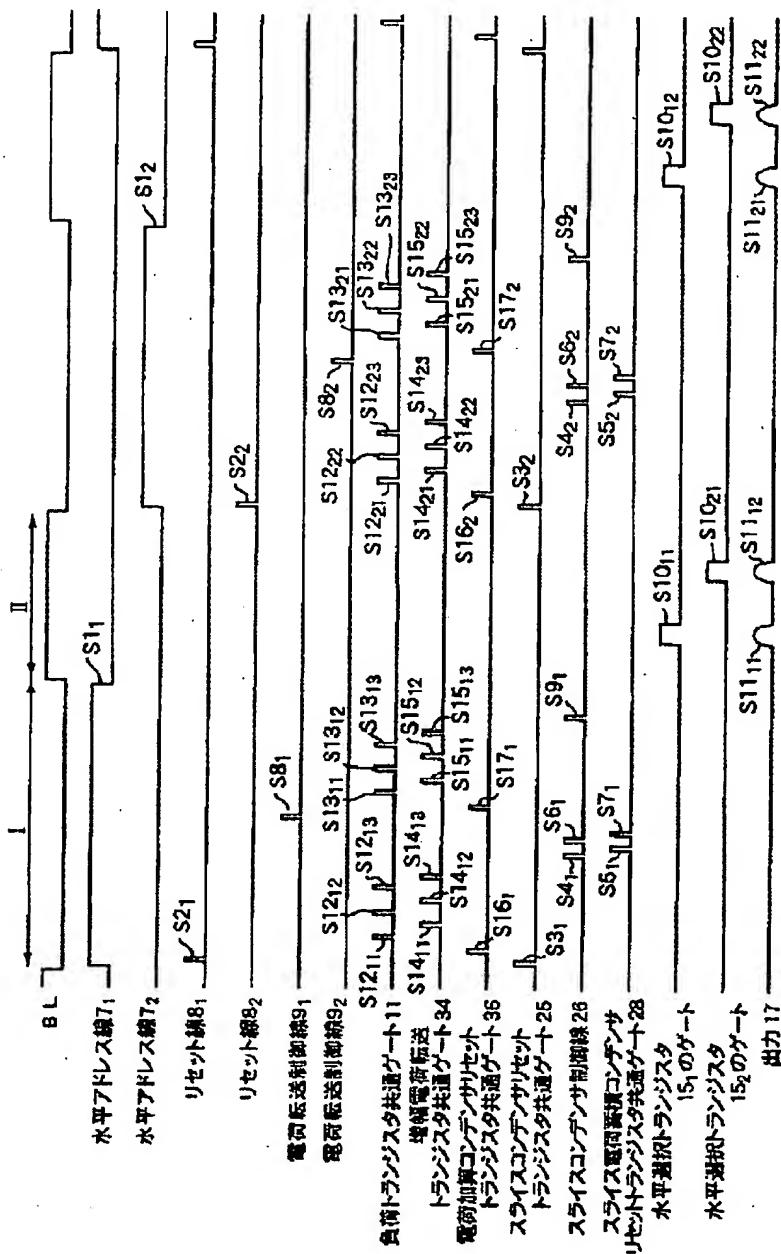
【図5】



(10)

特開平10-257389

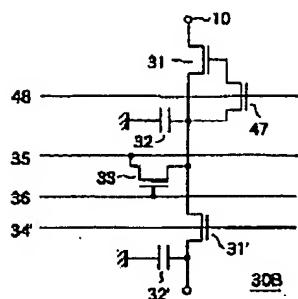
[図3]



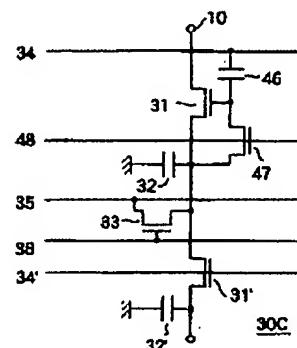
(11)

特開平10-257389

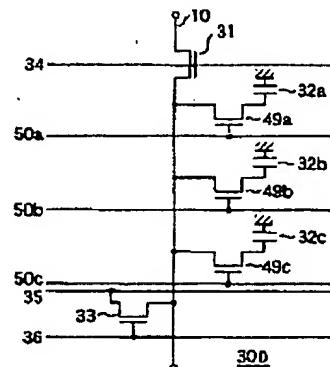
【図6】



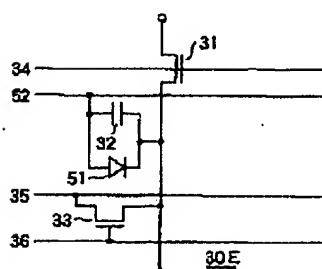
【図7】



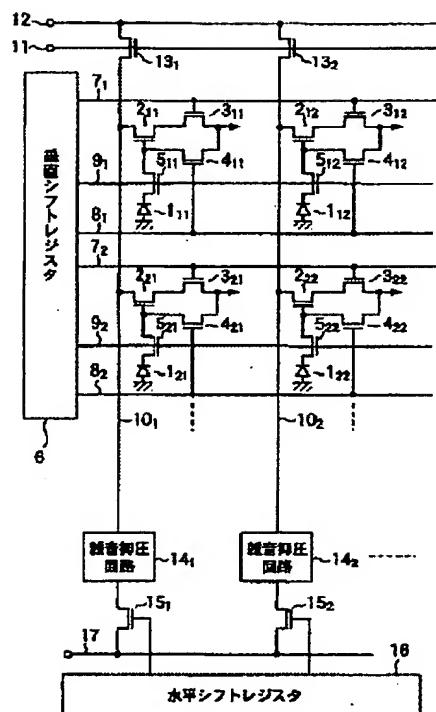
【図8】



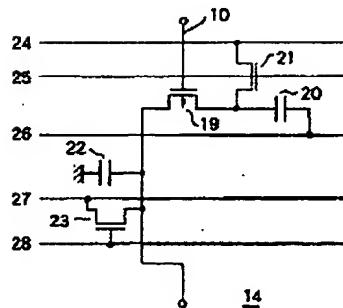
【図9】



【図10】



【図11】



(12)

特開平10-257389

【図12】

